

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-160768
(43)Date of publication of application : 20.06.1997

(51)Int.CI. G06F 9/06
G06F 11/28

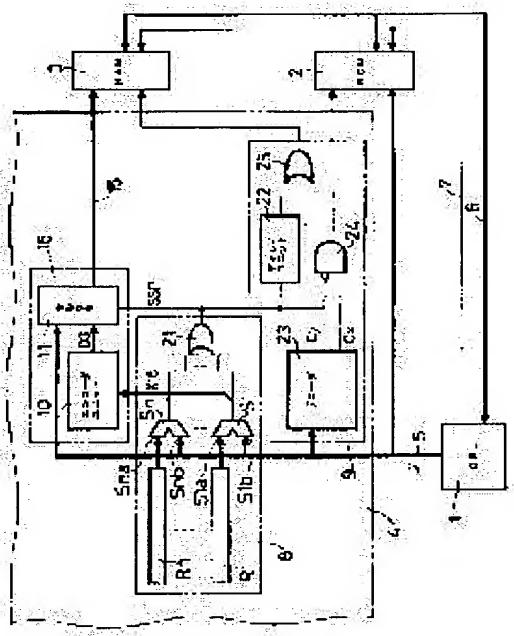
(21)Application number : 07-316967 (71)Applicant : SHARP CORP
(22)Date of filing : 05.12.1995 (72)Inventor : YAOI TAIICHI

(54) PROGRAM EXECUTION DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To replace the instruction to be carried out by an instruction execution means with another instruction with no interruption given from the instruction execution means during execution of a program.

SOLUTION: A CPU 1 outputs an address signal D1 for execution of an instruction included in a ROM 2. When a judging means 8 judges that the address designated by the signal D1 is coincident with the address of a specific instruction to be replaced with another in the ROM 2, an address signal D3 showing the address of a RAM 3 is given to the RAM 3 from an address conversion means 16. At the same time, a RAM selection signal is given from an enabling signal generation means 9. Therefore, an instruction is outputted from the RAM 3 and executed by the CPU 1 in place of the specific instruction that should be originally outputted to the CPU 1 from the ROM 2.



LEGAL STATUS

[Date of request for examination] 23.07.1999

[Date of sending the examiner's decision of rejection] 28.01.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平9-160768

(43)公開日 平成9年(1997)6月20日

(51) Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所
G 0 6 F 9/06 5 4 0 G 0 6 F 9/06 5 4 0 N
11/28 3 3 0 7313-5B 11/28 3 3 0 C

審査請求 未請求 請求項の数10 OL (全 17 頁)

(21)出願番号 特願平7-316967

(22)出願日 平成7年(1995)12月5日

(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72)発明者 矢追 泰一
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

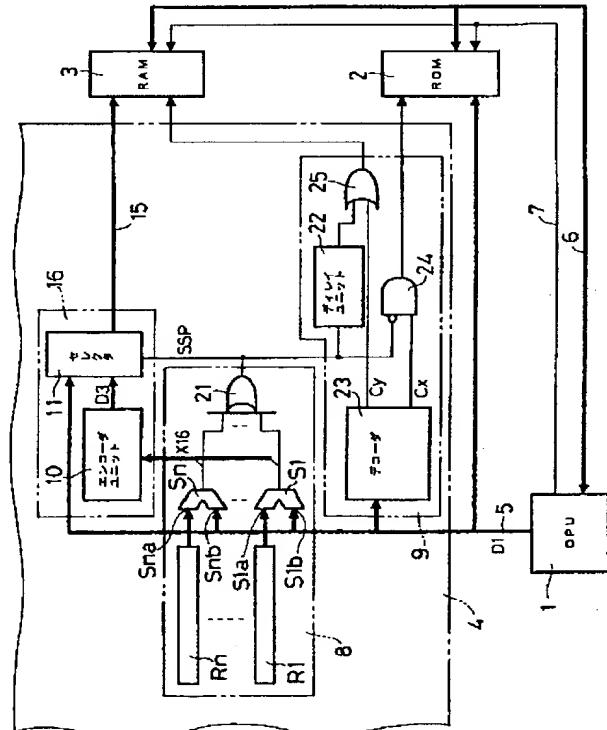
(74)代理人 弁理士 西教 圭一郎

(54) 【発明の名称】 プログラム実行装置

(57) 【要約】

【課題】 プログラム実行中に命令実行手段が割り込み処理を行うことなく、命令実行手段が実行する命令を別の命令に差し換えるプログラム実行装置を提供する。

【解決手段】 CPU1は、ROM2内の命令を実行するするためにアドレス信号D1を出力し、判断手段8によつて、アドレス信号D1の指定するアドレスが、ROM2内の差し換える必要がある特定命令のアドレスと一致していると判断されたときに、アドレス変換手段16からRAM3のアドレスを示すアドレス信号D3がRAM3に与えられ、許可信号発生手段9からは、RAMセレクト信号が与えられる。したがつて、本来ROM2からCPU1に出力される特定命令に代えて、RAM3から命令が输出されてCPU1で実行される。



【特許請求の範囲】

【請求項1】 実行すべきプログラムを構成する複数の命令が予め記憶されており、各命令が記憶されている記憶領域には、それぞれ予め定める複数のアドレスが設定され、命令の読み出しを指示する読み出し信号と、読み出すべき命令が記憶された記憶領域を指定するアドレス信号と、命令の読み出しを許可する許可信号とが与えられたときに指定された命令を出力する読み出し専用の第1記憶手段と、

前記実行すべきプログラムを構成する複数の命令の中から選ばれた特定命令に代えて実行させるべき命令が予め記憶されており、命令が記憶されている記憶領域には、前記第1記憶手段のアドレスとは異なるアドレスが設定され、命令の読み出しを指示する読み出し信号と、読み出すべき命令が記憶された記憶領域を指定するアドレス信号と、命令の読み出しを許可する許可信号とが与えられたときに指定された命令を出力する第2記憶手段と、

命令を読み出すために前記読み出し信号および第1記憶手段のアドレスを指定するアドレス信号を出力し、前記第1または第2記憶手段から読み出した命令を実行する命令実行手段と、

前記命令実行手段からのアドレス信号が指定するアドレスが、前記特定命令が記憶された記憶領域のアドレスと一致するかどうかを判断する判断手段と、

前記判断手段の出力に応答し、アドレスが一致したときは第2記憶手段のアドレスを指定するアドレス信号を、アドレスが一致しないときは命令実行手段からのアドレス信号を、第1および第2記憶手段に与えるアドレス変換手段と、

前記判断手段の出力に応答し、アドレスが一致したときは第2記憶手段に許可信号を出力し、アドレスが一致しないときは第1記憶手段に許可信号を出力する許可信号発生手段とを含むことを特徴とするプログラム実行装置。

【請求項2】 実行すべきプログラムを構成する複数の命令が予め記憶されており、各命令が記憶されている記憶領域には、それぞれ予め定める複数の第1アドレスが設定され、命令の読み出しを指示する読み出し信号と、読み出すべき命令が記憶された記憶領域を指定するアドレス信号と、命令の読み出しを許可する許可信号とが与えられたときに指定された命令を出力する読み出し専用の第1記憶手段と、前記第1アドレスとは異なる複数の第2アドレスがそれぞれ設定されたデータ記憶領域を有し、第2アドレスの中から選ばれた1以上の第3アドレスを持つデータ記憶領域には、前記実行すべきプログラムを構成する命令の中から選ばれた特定命令に代えて実行させるべき命令が記憶されており、データの読み出し/書き込みを指示する読み出し/書き込み信号と、データの読み出し/書き込みをするデータ記憶領域を指定するアドレス信号と、データの読み出し/書き込みを許可する許可信号とが与えられた

10

20

30

40

50

ときに指定されたデータを出力/入力する読み出し/書き込み自在な第2記憶手段と、

命令を読み出すために前記読み出し信号および第1記憶手段のアドレスを指定するアドレス信号を第1記憶手段に出力し、読み出した命令を実行し、命令を実行するときに必要に応じて第2記憶手段に対してデータを読み出し/書き込みを行うために前記読み出し/書き込み信号および第2記憶手段のアドレスを指定するアドレス信号を出力する命令実行手段と、

前記命令実行手段からのアドレス信号が指定するアドレスが、前記特定命令が記憶された記憶領域のアドレスと一致するかどうかを判断する判断手段と、

前記判断手段の出力に基づいて、判断手段の判断が肯定であるときは、前記第3アドレスを指定するアドレス信号を第2記憶手段に出力し、判断手段の判断が否定であるときは、命令実行手段からのアドレス信号を第2記憶手段に出力するアドレス変換手段と、

前記命令実行手段からのアドレス信号および前記判断手段の出力に基づいて、アドレス信号が指定するアドレスが前記第1アドレスであり、かつ判断手段の判断が肯定であるときは、第2記憶手段に許可信号を出力し、アドレス信号が指定するアドレスが前記第1アドレスであり、かつ判断手段の判断が否定であるときは、第1記憶手段に許可信号を出力し、アドレス信号が指定するアドレスが前記第2アドレスであるときは、第2記憶手段に許可信号を出力する許可信号発生手段とを含むことを特徴とするプログラム実行装置。

【請求項3】 前記判断手段は、

前記特定命令が記憶された記憶領域のアドレスを示すアドレス信号を記憶するアドレス記憶手段と、前記アドレス記憶手段に記憶されているアドレス信号と、命令実行手段からのアドレス信号とが一致するかどうかを検出する検出手段とを含むことを特徴とする請求項2記載のプログラム実行装置。

【請求項4】 前記アドレス記憶手段は、複数のビットからなるアドレス信号を記憶する1以上のレジスタであり、

前記検出手段は、

前記レジスタに対応して設けられ、レジスタからのアドレス信号と命令実行手段からのアドレス信号とを比較する比較回路と、

前記比較回路からの出力が与えられる論理和演算回路とを含むことを特徴とする請求項3記載のプログラム実行装置。

【請求項5】 前記アドレス記憶手段は、複数のビットからなるアドレス信号を予め定める数の上位ビットと残余の下位ビットに分割し、上位ビットが共通するアドレス信号ごとにグループ分けをして、グループ単位でアドレス信号を記憶し、

各グループごとに、1の上位ビットレジスタと、グル

プに属するアドレス信号と同じ数の下位ビットレジスタとを備え、

前記検出手段は、前記各グループごとに、

上位ビットレジスタの信号と命令実行手段からのアドレス信号の上位ビットとを比較する1つの上位ビット比較回路と、

下位ビットレジスタと同じ数だけ設けられ、各下位ビットレジスタの信号と命令実行手段からのアドレス信号の下位ビットとを比較する1以上の下位ビット比較回路と、

下位ビットレジスタと同じ数だけ設けられ、各下位ビット比較回路の出力と上位ビット比較回路の出力とが与えられる1以上の論理積回路と、

各論理積回路の出力が与えられる第1論理和回路とを備え、

さらに、各グループの前記第1論理和回路の出力が与えられる第2論理和回路を備えることを特徴とする請求項3記載のプログラム実行装置。

【請求項6】 前記許可信号発生手段は、

命令実行手段からのアドレス信号に基づいて、当該アドレス信号が指定するアドレスが第1アドレスであるときは第1の信号を出力し、第2のアドレスであるときは第2の信号を出力するデコード手段と、

第1信号と前記判断手段の出力の反転信号の論理積演算を行い、演算結果を第1記憶手段に与える論理積演算手段と、

第2信号と前記判断手段の出力の論理和演算を行い、演算結果を第2記憶手段に与える論理和演算手段とを含むことを特徴とする請求項2記載のプログラム実行装置。

【請求項7】 前記許可信号発生手段は、

前記判断手段の出力を予め定める期間遅延させて前記論理和演算手段に与える遅延手段を含むことを特徴とする請求項6記載のプログラム実行装置。

【請求項8】 前記アドレス変換手段は、

前記第3アドレスを指定するアドレス信号を発生するアドレス信号発生手段と、

前記判断手段の出力に応答し、判断手段の判断が肯定であるときは、アドレス信号発生手段からのアドレス信号を出力し、判断手段の判断が否定であるときは、命令実行手段からのアドレス信号を出力する切換手段とを含むことを特徴とする請求項2記載のプログラム実行装置。

【請求項9】 前記判断手段は、

複数のアドレス信号を記憶するアドレス記憶手段と、

命令実行手段からのアドレス信号と、前記アドレス記憶手段に記憶されているアドレス信号とをそれぞれ比較して一致するかどうかを検出する検出手段とを含み、

前記アドレス信号発生手段は、

予め定める数の上位ビットのアドレス信号を記憶する上位アドレスメモリと、

前記検出手段における比較結果に基づいて、残余の下位

ビットのアドレス信号を生成する下位アドレス発生手段とを含むことを特徴とする請求項8記載のプログラム実行装置。

【請求項10】 前記命令実行手段は、前記上位アドレスメモリに対して読み出し/書き込みを行うことを特徴とする請求項9記載のプログラム実行装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、中央処理装置（以

10 下、CPUとする）、リードオンリメモリ（以下、ROMとする）、ランダムアクセスメモリ（以下、RAMとする）、およびその他の構成を含んで構成されるコンピュータなどに好適に用いられ、ROMに記憶された命令のうち、CPUでは実行不可能な命令または実行させない命令を実行可能な別の命令に差し換えて実行するプログラム実行装置に関する。

【0002】

【従来の技術】 図10は、第1従来技術の具体的構成を示すブロック図である。第1従来技術は、CPU、ROM、RAM、およびその他の回路を含んで構成されたコンピュータなどの電子装置に備えられる。従来、コンピュータなどの電子装置のCPUが行うべき予め定められた処理は、読み出し専用であるROMに記憶されたプログラムを用いて行われている。

【0003】 コンピュータなどの電子装置は、近年の技術の進歩によって、基本的な構成は同様であるが、小規模な改良が、頻繁に行われている。特にCPU等の改良により装置の全体的な処理速度の向上が図られている。

しかし、コストなどの問題により、CPUの差し換えだけによって装置を改良しようとする場合には、予め定められた処理は、既存のROMに記憶された変更されていないプログラムを構成する命令を用いて行われるため、改良されたCPUでは命令の一部が実行不可能な場合が生じる。また、プログラムをROMに書込んだ後に、プログラムに不備が見つかり、プログラムの変更が必要な場合もある。このような問題は、ROM自体を差し換えることによって生じるコストの増加を避けるために、ROMに記憶された一部の実行不可能な命令または実行させない命令を実行可能な命令と差し換えることによって対応している。

【0004】 第1従来技術は、実行不可能な命令または実行させない命令を実行可能な別の命令と差し換えることを目的として、コンピュータなどの電子装置に備えられる。第1従来技術は、レジスタ $r_1 \sim r_n$ と、比較器 $s_1 \sim s_n$ と、OR回路55とを含んで構成される。各レジスタ $r_1 \sim r_n$ は、ROMに記憶されている複数の特定命令の各アドレスをそれぞれ記憶する。つまり、1つのレジスタには、1つの特定命令を示すアドレスが記憶される。特定命令とは、ROMに記憶された命令であって、CPUが実行しないように別の命令に差し換えら

れる命令をいう。

【0005】各比較器 $s_1 \sim s_n$ は、2の入力端子と1の出力端子とを備え、一方の各入力端子には、各レジスタ $r_1 \sim r_n$ がそれぞれ接続される。また各比較器 $s_1 \sim s_n$ の他方の各入力端子には、CPUからのアドレス線54がそれぞれ接続される。また各比較器 $s_1 \sim s_n$ の出力のすべてがOR回路55に与えられ、OR回路55の出力は、CPUの割り込み要求端子に接続される。

【0006】ROMには、CPUで実行されるプログラムを構成する複数の命令が、各記憶領域にそれぞれ記憶される。CPUは、ROMに記憶された命令を実行するためにアドレス線54にアドレス信号を出力する。各比較器 $s_1 \sim s_n$ は、出力されたアドレス信号で示されるアドレスと、順次各レジスタ $r_1 \sim r_n$ に記憶されている各アドレスとの比較を行い、一致するかどうかを検出する。各比較器 $s_1 \sim s_n$ は、一致を検出すると、OR回路55にたとえばハイレベルの一致信号を出力する。OR回路55は、比較器 $s_1 \sim s_n$ のいずれかからハイレベルの一致信号が与えられると、ハイレベルの検出信号をCPUの割り込み要求端子に出力する。CPUは、検出信号が割り込み要求端子に入力されると、割り込み処理によって、どのアドレスによって一致が検出されたかを調査し、そのアドレスの示す特定命令に応じて別の命令と差し換える処理を行っている。したがって、特定命令を別の命令に差し換えるときに、CPUは割り込み処理を用いるため、プログラム実行処理以外の処理であるオーバーヘッドの処理が行われ、プログラム実行処理の効率が悪くなるという問題点が生じる。また、CPUの割り込み処理を用いて、特定命令に応じて実行可能な別の命令と差し換える処理を行うため、その処理の間、別の割り込み処理を滞らせるという問題点も生じる。

【0007】特開平2-135547に開示される第2従来技術は、コンピュータなどの電子装置のインサーキットエミュレータにおいて、ROMからCPUに命令が入力されるデータ線に設けられる命令注入手段を用いて、自番地への相対分岐命令、またはソフトウェアの割り込み命令を注入して、割り込み端子を用いないでプログラムの実行にブレークをかけることが目的である。

【0008】したがって、第2従来技術では命令を注入することはできるが、特定命令に応じて実行可能な別の命令と差し換える処理においては、ソフトウェア的に割り込み命令を注入して割り込み処理を発生させなければ行うことができない。そのため、プログラム実行処理以外の処理であるオーバーヘッドの処理が行われ、プログラム実行処理の効率が悪くなる。またソフトウェア的に割り込み処理を発生させる場合の方が、第1従来技術の割り込み要求端子を用いて割り込み処理を行う場合より構成が複雑になる。

【0009】

【発明が解決しようとする課題】第1および第2従来技

50

術では、CPU等の命令実行手段が特定命令を実行可能な命令に差し換える場合に、プログラム実行中に割り込み処理によって対応させているため、プログラム実行のための処理以外のオーバーヘッドの処理が行われ、プログラム実行処理の効率が悪くなるという問題点が生じる。

【0010】本発明の目的は、プログラム実行中に命令実行手段が割り込み処理を行うことなく、命令実行手段が実行する命令を別の命令に差し換えるプログラム実行装置を提供することである。

【0011】

【課題を解決するための手段】本発明は、実行すべきプログラムを構成する複数の命令が予め記憶されており、各命令が記憶されている記憶領域には、それぞれ予め定める複数のアドレスが設定され、命令の読み出しを指示する読み出し信号と、読み出すべき命令が記憶された記憶領域を指定するアドレス信号と、命令の読み出しを許可する許可信号とが与えられたときに指定された命令を出力する読み出し専用の第1記憶手段と、前記実行すべきプログラムを構成する複数の命令の中から選ばれた特定命令に代えて実行させるべき命令が予め記憶されており、命令が記憶されている記憶領域には、前記第1記憶手段のアドレスとは異なるアドレスが設定され、命令の読み出しを指示する読み出し信号と、読み出すべき命令が記憶された記憶領域を指定するアドレス信号と、命令の読み出しを許可する許可信号とが与えられたときに指定された命令を出力する第2記憶手段と、命令を読み出すために前記読み出し信号および第1記憶手段のアドレスを指定するアドレス信号を出力し、前記第1または第2記憶手段から読み出した命令を実行する命令実行手段と、前記命令実行手段からのアドレス信号が指定するアドレスが、前記特定命令が記憶された記憶領域のアドレスと一致するかどうかを判断する判断手段と、前記判断手段の出力に応じ、アドレスが一致したときは第2記憶手段のアドレスを指定するアドレス信号を、アドレスが一致しないときは命令実行手段からのアドレス信号を、第1および第2記憶手段に与えるアドレス変換手段と、前記判断手段の出力に応じ、アドレスが一致したときは第2記憶手段に許可信号を出力し、アドレスが一致しないときは第1記憶手段に許可信号を出力する許可信号発生手段とを含むことを特徴とするプログラム実行装置である。

本発明に従えば、第1記憶手段には実行すべきプログラムを構成する命令が記憶されており、第2記憶手段には第1記憶手段に記憶されている命令の中から選ばれた特定命令に代えて実行させるべき命令が記憶されている。命令実行手段は、第1記憶手段に記憶されているプログラムを実行するために、第1記憶手段のアドレスを指定するアドレス信号と読み出し信号とを出力する。読み出し信号は、第1および第2記憶手段に共通に与えられる。判断手段によって、命令実行手段からのアドレス信号の

指定するアドレスが、特定命令が記憶されたアドレスと一致していないと判断されたとき、すなわち命令実行手段が特定命令以外の命令を実行しようとしているときは、アドレス変換手段からは、命令実行手段からのアドレス信号が第1および第2記憶手段に与えられ、また許可信号発生手段からは、第1記憶手段に許可信号が与えられる。したがって、第1記憶手段から指定されたアドレスの命令が出力され、命令実行手段ではその命令が実行される。

また判断手段によって、命令実行手段からのアドレス信号の指定するアドレスが、特定命令が記憶されたアドレスと一致していると判断されたとき、アドレス変換手段からは、第2記憶手段のアドレスを示すアドレス信号が第1および第2記憶手段に与えられ、また許可信号発生手段からは、第2記憶手段に許可信号が与えられる。したがって、本来第1記憶手段から出力されるべき特定命令に代えて、第2記憶手段から命令が出力されて命令実行手段で実行される。

これによって、第1記憶手段に記憶されたプログラムを実行する場合に、命令実行手段は特別な処理を行うことなく、第1記憶手段に記憶されている命令内の特定命令を第2記憶手段に記憶された命令と差し換えて実行することが可能となる。したがって、第1および第2従来技術のように、たとえばCPUで実現される命令実行手段が持つ割り込み処理を利用して、実行すべきプログラムを構成する命令の内のいずれかの命令を差し換える場合より、命令実行手段におけるプログラム実行処理以外の処理であるオーバーヘッドが軽減できる。さらに第1従来技術のように、たとえばCPUで実現される命令実行手段の割り込み処理を用いないため、別の割り込み処理を滞らせることを防ぐことができる。

【10012】また本発明は、実行すべきプログラムを構成する複数の命令が予め記憶されており、各命令が記憶されている記憶領域には、それぞれ予め定める複数の第1アドレスが設定され、命令の読み出しを指示する読み出し信号と、読み出すべき命令が記憶された記憶領域を指定するアドレス信号と、命令の読み出しを許可する許可信号とが与えられたときに指定された命令を出力する読み出し専用の第1記憶手段と、前記第1アドレスとは異なる複数の第2アドレスがそれぞれ設定されたデータ記憶領域を有し、第2アドレスの中から選ばれた1以上の第3アドレスを持つデータ記憶領域には、前記実行すべきプログラムを構成する命令の中から選ばれた特定命令に代えて実行させるべき命令が記憶されており、データの読み出し/書き込みを指示する読み出し/書き込み信号と、データの読み出し/書き込みをするデータ記憶領域を指定するアドレス信号と、データの読み出し/書き込みを許可する許可信号とが与えられたときに指定されたデータを出力/入力する読み出し/書き込み自在な第2記憶手段と、命令を読み出すために前記読み出し信号および第1記憶手段のアドレスを指

10

20

30

40

50

定するアドレス信号を第1記憶手段に出力し、読み出した命令を実行し、命令を実行するときに必要に応じて第2記憶手段に対してデータを読み出し/書き込みを行うために前記読み出し/書き込み信号および第2記憶手段のアドレスを指定するアドレス信号を出力する命令実行手段と、前記命令実行手段からのアドレス信号が指定するアドレスが、前記特定命令が記憶された記憶領域のアドレスと一致するかどうかを判断する判断手段と、前記判断手段の出力に基づいて、判断手段の判断が肯定であるときは、前記第3アドレスを指定するアドレス信号を第2記憶手段に出力し、判断手段の判断が否定であるときは、命令実行手段からのアドレス信号を第2記憶手段に出力するアドレス変換手段と、前記命令実行手段からのアドレス信号および前記判断手段の出力に基づいて、アドレス信号が指定するアドレスが前記第1アドレスであり、かつ判断手段の判断が肯定であるときは、第2記憶手段に許可信号を出し、アドレス信号が指定するアドレスが前記第1アドレスであり、かつ判断手段の判断が否定であるときは、第1記憶手段に許可信号を出し、アドレス信号が指定するアドレスが前記第2アドレスであるときは、第2記憶手段に許可信号を出力する許可信号発生手段とを含むことを特徴とするプログラム実行装置である。

本発明に従えば、第1記憶手段は、読み出し専用であり、実行すべきプログラムを構成する命令が記憶されており、第2記憶手段は、読み出し/書き込み自在であり、第1記憶手段の第1アドレスとは異なる複数の第2アドレスがそれぞれ設定されたデータ記憶領域を有する。また第2記憶手段は、第2アドレス内に存在する1以上の第3アドレスに示されるデータ記憶領域に、第1記憶手段に記憶されている命令の内の特定命令に代えて実行させるべき命令が記憶されている。命令実行手段は、第1記憶手段に記憶されているプログラムを実行するために、第1記憶手段の第1アドレスを指定するアドレス信号と読み出し信号とを、第1記憶手段に出力する。また命令実行手段はプログラム実行中に、必要に応じて第2記憶手段に対して、データの読み出し/書き込みを行う場合に、読み出し/書き込み信号と第2アドレスを示すアドレス信号とを出力する。

命令実行手段からのアドレス信号が第1アドレスを指定しているときに、判断手段によって、第1アドレスが特定命令が記憶されたアドレスと一致していないと判断された場合、アドレス変換手段からは命令実行手段からのアドレス信号が第2記憶手段に与えられ、命令実行手段からは、第1記憶手段にアドレス信号が与えられる。また許可信号発生手段からは、第1記憶手段に許可信号が与えられる。したがって、命令実行手段では、第1記憶手段からの命令が読み出されて実行される。

次に命令実行手段からのアドレス信号が第1アドレスを指定しているときに、判断手段によって、第1アドレス

が特定命令が記憶されたアドレスと一致していると判断されたとき、アドレス変換手段からは、第3アドレスを示すアドレス信号が第2記憶手段に与えられ、また許可信号発生手段からは、第2記憶手段に許可信号が与えられる。したがって、命令実行手段では、第2記憶手段からの命令が読み出されて実行される。

命令実行手段からのアドレス信号が第2アドレスを指定しているときは、アドレス変換手段からは、命令実行手段からのアドレス信号が第2記憶手段に与えられ、許可信号発生手段からは、第2記憶手段に許可信号が与えられる。また第2記憶手段に対して、読み出しおよび書き込みのどちらを行なうかによって、読み出しおよび書き込みのいずれかの信号が出力される。したがって、第2記憶手段において、データの書き込みおよび読み出しが実行される。

これによって、第1記憶手段に記憶されたプログラムを実行する場合に、命令実行手段は特別な処理を行うことなく、第1記憶手段に記憶されている命令内の特定命令を第2記憶手段に記憶された命令と差し換えて実行することが可能となる。また、第2記憶手段は、命令実行手段がプログラム実行中に必要に応じていわゆるワーカエリアとして使用するRAMなどで実現できるので、特定命令に代えて実行させるべき命令を記憶させるための専用の記憶手段を準備する必要がなく、比較的簡単な構成で既存の手段を利用して本発明を実現することができる。したがって、第1および第2従来技術のように、命令実行手段が持つ割り込み処理を利用して、実行すべきプログラムを構成する命令の内のいずれかの命令を差し換える場合より、命令実行手段におけるプログラム実行処理以外の処理であるオーバーヘッドを軽減できる。さらに第1従来技術のように、たとえばCPUで実現される命令実行手段の割り込み処理を用いないため、別の割り込み処理を滞らせることを防ぐことができる。

【0013】また本発明は、前記判断手段は、前記特定命令が記憶された記憶領域のアドレスを示すアドレス信号を記憶するアドレス記憶手段と、前記アドレス記憶手段に記憶されているアドレス信号と、命令実行手段からのアドレス信号とが一致するかどうかを検出する検出手段とを含むことを特徴とする。

本発明に従えば、アドレス記憶手段では、第1記憶手段に記憶されている命令の内の特定命令を指定するアドレスを示すアドレス信号を予め記憶しておき、検出手手段は、命令実行手段からのアドレス信号が入力されると、アドレス記憶手段に記憶されたアドレス信号と比較して一致するかどうかを検出する。これによって、判断手段は命令実行手段が入力したアドレス信号が特定命令を指定するアドレスを示すアドレス信号であるかどうかが検知できる。

【0014】また本発明は、前記アドレス記憶手段は、複数のビットからなるアドレス信号を記憶する1以上のレジスタであり、前記検出手手段は、前記レジスタに対応

して設けられ、レジスタからのアドレス信号と命令実行手段からのアドレス信号とを比較する比較回路と、前記比較回路からの出力が与えられる論理和演算回路とを含むことを特徴とする。

本発明に従えば、アドレス記憶手段は、複数のビットからなるアドレス信号を記憶する1以上のレジスタであり、各レジスタに、第1記憶手段に記憶されている命令の内の特定命令を指定するアドレスを示すアドレス信号をそれぞれ記憶する。比較回路は、命令実行手段からアドレス信号が入力されると、各レジスタごとに、入力されたアドレス信号とそれぞれ比較し、判断手段は、論理和演算回路によって、いずれか一つの比較回路が一致である信号を出力した場合は、判断が肯定である信号を出力し、すべての比較回路が一致しない信号を出力した場合は、判断が否定である信号を出力する。

【0015】また本発明は、前記アドレス記憶手段は、複数のビットからなるアドレス信号を予め定める数の上位ビットと残余の下位ビットに分割し、上位ビットが共通するアドレス信号ごとにグループ分けをして、グループ単位でアドレス信号を記憶し、各グループごとに、1の上位ビットレジスタと、グループに属するアドレス信号と同じ数の下位ビットレジスタを備え、前記検出手手段は、前記各グループごとに、上位ビットレジスタの信号と命令実行手段からのアドレス信号の上位ビットとを比較する1つの上位ビット比較回路と、下位ビットレジスタと同じ数だけ設けられ、各下位ビットレジスタの信号と命令実行手段からのアドレス信号の下位ビットとを比較する1以上の下位ビット比較回路と、下位ビットレジスタと同じ数だけ設けられ、各下位ビット比較回路の出力と上位ビット比較回路の出力とが与えられる1以上の論理積回路と、各論理積回路の出力が与えられる第1論理和回路とを備え、さらに、各グループの前記第1論理和回路の出力が与えられる第2論理和回路を備えることを特徴とする。

本発明に従えば、アドレス記憶手段は、アドレス信号の予め定める数の上位ビットを記憶する1の上位ビットレジスタと、アドレス信号における上位ビットが共通の残余の下位ビットを記憶する複数の下位ビットレジスタとを1グループとして、複数のグループ単位でアドレス信号を記憶する。第1記憶手段に記憶されている命令の内の特定命令を指定するアドレスを示すアドレス信号の予め定める数の上位ビットを上位ビットレジスタに記憶し、そのアドレス信号の上位ビットが共通の複数の下位ビットをそれぞれ下位ビットレジスタに記憶する。検出手手段は、命令実行手段からのアドレス信号が入力された場合に、各グループごとに比較を行う。各グループ内ではアドレス信号の上位ビットと上位ビットレジスタに記憶されたビット値と比較し、アドレス信号の下位ビットと各下位ビットレジスタに記憶されたビット値とをそれぞれ比較する。上位ビットと下位ビットとの両方ともが

一致を検出した場合に、検出手段はアドレス信号の一致を検出する。判断手段は、アドレス信号の一致を検出した場合には、判断が肯定である信号を出力し、すべてのグループにおいて一致を検出しなかった場合には、判断が否定である信号を出力する。これによって、レジスタを上位ビットレジスタと下位ビットレジスタとの2つに分割しないでレジスタが構成される場合より、レジスタの数を減少させることができ、さらに1ビットに対するレジスタは複数のゲートで構成されるため、ゲート数も減少させることができる。

【0016】また本発明は、前記許可信号発生手段は、命令実行手段からのアドレス信号に基づいて、当該アドレス信号が指定するアドレスが第1アドレスであるときは第1の信号を出力し、第2のアドレスであるときは第2の信号を出力するデコード手段と、第1信号と前記判断手段の出力の反転信号の論理積演算を行い、演算結果を第1記憶手段に与える論理積演算手段と、第2信号と前記判断手段の出力の論理和演算を行い、演算結果を第2記憶手段に与える論理和演算手段とを含むことを特徴とする。

本発明に従えば、許可信号発生手段において、命令実行手段からのアドレス信号が入力されると、アドレス信号の指定するアドレスが第1記憶手段の第1アドレスを示す場合には、デコード手段は、第1信号としてたとえばハイレベルの信号を出力し、第2信号としてたとえばローレベルの信号を出力する。判断手段の出力が肯定であるときは、論理積演算手段は第1信号と判断手段の肯定を示す信号、たとえばハイレベルの信号を反転した信号とを入力し、第1記憶手段に演算結果として、たとえば不許可を示すローレベルの許可信号を出力する。一方、論理和演算手段は、第2信号と判断手段の肯定を示す信号、たとえばハイレベルの信号とを入力して、第2記憶手段に演算結果として、たとえば許可を示すハイレベルの許可信号を出力する。したがって、命令実行手段では、第2記憶手段からの命令が読み出されて実行される。また、判断手段の出力が否定であるときは、論理積演算手段は第1信号と判断手段の否定を示す信号、たとえばローレベルの信号を反転した信号とを入力し、第1記憶手段に演算結果として、たとえば許可を示すハイレベルの許可信号を出力する。一方、論理和演算手段は、第2信号と判断手段の否定を示す信号、たとえばローレベルの信号とを入力して、第2記憶手段に演算結果として、たとえば不許可を示すローレベルの許可信号を出力する。したがって、命令実行手段では、第1記憶手段からの命令が読み出されて実行される。

またアドレス信号の指定するアドレスが第2記憶手段の第2アドレスを示す場合には、デコード手段は、第1信号としてたとえばローレベルの信号を出力し、第2信号としてたとえばハイレベルの信号を出力する。論理積演算手段は第1信号と判断手段の結果を示す信号を入力

し、第1記憶手段に演算結果として、たとえば不許可を示す許可信号を出力する。一方、論理和演算手段は、第2信号と判断手段の結果を示す信号を入力し、第2記憶手段に演算結果として、たとえば許可を示す許可信号を出力する。

【0017】また本発明は、前記許可信号発生手段は、前記判断手段の出力を予め定める期間遅延させて前記論理和演算手段に与える遅延手段を含むことを特徴とする。

10 本発明に従えば、許可信号発生手段において、論理和演算手段は、判断手段の結果を示す信号と第2信号が入力されて、第2記憶手段に演算結果を出力する。遅延手段は、判断手段の結果を示す信号を論理和演算手段に入力される前に入力し、予め定める期間遅延させて、論理和演算手段に出力する。したがって、アドレス変換手段からの変換されたアドレス信号が与えられてから許可信号が与えられるので、第2記憶手段において、特定命令に差し換えられるべき命令の読み出しが確実に実行される。

【0018】また本発明は、前記アドレス変換手段は、20 前記第3アドレスを指定するアドレス信号を発生するアドレス信号発生手段と、前記判断手段の出力に応答し、判断手段の判断が肯定であるときは、アドレス信号発生手段からのアドレス信号を出力し、判断手段の判断が否定であるときは、命令実行手段からのアドレス信号を出力する切換手段とを含むことを特徴とする。

本発明に従えば、アドレス変換手段における切換手段は、判断手段から判断の肯定を示す信号が入力されると、アドレス信号発生手段の出力であるアドレス信号を第2記憶手段に出力し、判断手段から判断の否定を示す信号が入力されると、命令実行手段からのアドレス信号を第2記憶手段に出力する。

【0019】また本発明は、前記判断手段は、複数のアドレス信号を記憶するアドレス記憶手段と、命令実行手段からのアドレス信号と、前記アドレス記憶手段に記憶されているアドレス信号とをそれぞれ比較して一致するかどうかを検出する検出手段とを含み、前記アドレス信号発生手段は、予め定める数の上位ビットのアドレス信号を記憶する上位アドレスメモリと、前記検出手段における比較結果に基づいて、残余の下位ビットのアドレス40 信号を生成する下位アドレス発生手段とを含むことを特徴とする。

本発明に従えば、判断手段におけるアドレス記憶手段では、複数の第1記憶手段に記憶されている命令内の特定命令を指定するアドレスを示すアドレス信号を予め記憶しており、たとえば、アドレス記憶手段のアドレスの順番に複数のアドレス信号が記憶される。アドレス信号発生手段における上位アドレスメモリには、第2記憶手段の第3アドレスの予め定める数の上位ビットが記憶される。判断手段における検出手段は、判断手段に命令実行手段からのアドレス信号が入力されると、複数のアド

レス記憶手段に記憶されたアドレス信号とそれぞれ比較して一致するかどうかを検出する。アドレス信号発生手段は、検出手段における比較結果に基づいて、どのアドレス信号と一致したかを検出し、残余の下位ビットを生成し、上位ビットと合成してアドレス信号を生成する。たとえば、16個のアドレス信号がアドレス記憶手段に順番に記憶されている場合に、8番目の記憶されているアドレス信号が命令実行手段からのアドレス信号と一致した場合に、残余の下位ビットは、“8”を示す4ビットの“0100”となる。したがって、判断手段に記憶された複数の特定命令を指定するアドレスを示すアドレス信号のそれぞれに対応して、第3アドレスが決定されるため、実行すべき命令の差し換えを正確に行うことができる。

【0020】また本発明は、前記命令実行手段は、前記上位アドレスメモリに対して読み出し／書き込みを行うことを特徴とする。

本発明に従えば、命令実行手段は、第1記憶手段に記憶されている命令の内の特定命令に代えて実行させるべき命令が記憶されている第2記憶手段の第3アドレスの値を変更する場合に、アドレス信号発生手段における上位アドレスメモリに記憶されたビット値を、変更された第3アドレスの値に適応するように書き換えを行う。したがって、上位アドレスメモリの書き込みができない場合より、本装置のシステムデザインのときに選択の幅が広がるため、本装置の汎用性が高まる。

【0021】

【発明の実施の形態】本発明のプログラム実行装置を備えるコンピュータなどの電子装置では、当該装置が行うべき予め定められた処理は読み出し専用であるROMに記憶されたプログラムを用いて行われている。コンピュータなどの電子装置は、近年の技術の進歩によって、基本的な構成は同様であるが、小規模な改良が、頻繁に行われている。特にCPU等の改良により装置の全体的な処理速度の向上が図られている。しかし、コストなどの問題により、CPUの差し換えだけによって装置を構成しようとする場合には、予め定められた処理は、既存のROMに記憶された変更されていないプログラムを構成する命令を用いて行われるため、改良されたCPUでは命令の一部が実行不可能な場合が生じる。また、プログラムをROMに書き込んだ後に、プログラムに不備が見つかり、プログラムの変更が必要な場合もある。このような問題は、ROMに記憶された一部の実行不可能な命令などを実行可能な命令と差し換えることによって回避している。本発明は、上記命令の差し換えを容易に行うことの目的としてなされたものであり、以下に本発明の実施の一形態について説明を行う。

【0022】図1は、本発明の実施の一形態であるプログラム実行装置の電気的構成を示す図である。プログラム実行装置は、中央処理装置（以下、CPUとする）1

と、リードオンリメモリ（以下、ROMとする）2と、ランダムアクセスメモリ（以下、RAMとする）3と、特定用途向け集積回路（以下、ASICとする）4とを含んで構成される。ASIC4は、判断手段8と、許可信号発生手段9と、アドレス変換手段16とを含んで構成される。

【0023】ROM2には、CPU1で実行されるプログラムを構成する複数の命令が、各記憶領域にそれぞれ記憶される。ROM2内の記憶領域のアドレスを第1アドレスと総称する。

【0024】RAM3は、CPU1がプログラムの実行に用いることが可能な記憶領域を備え、その記憶領域を示すアドレスを第2アドレスと総称する。第2アドレスが示す記憶領域に対しては、データの書き込みおよび読み出しが可能である。さらに、第2アドレス内的一部の記憶領域を示す複数のアドレスを第3アドレスとし、その第3アドレスの示す記憶領域に、ROM2に記憶された命令の代わりに実行させるべき命令（以下、特定命令と称する）が記憶される。また記憶される命令数は、ROM2内の特定命令の数と同じであり、ROM2のプログラムが実行される前に、装置の付属のメモリ、ハードディスク等から読み出されて、RAM3内の第3アドレスの示す記憶領域に書き込まれる。

【0025】CPU1は、ROM2に記憶されているプログラムを順次実行するために、アドレス線5にアドレス信号を出力し、リード／ライト線7に読み出し信号および書き込み信号を出力する。CPU1からのアドレス線5は、ROM2と、ASIC4内の許可信号発生手段9と、判断手段8と、アドレス変換手段16とに接続される。またCPU1が実行する命令およびデータを読み出しおよび書き込みすることができるデータ線6が、CPU1とROM2およびRAM3との間に接続される。CPU1からのリード／ライト線7は、ROM2およびRAM3に接続される。ROM2には読み出し信号のみが入力され、実行される命令および必要なデータが、CPU1に読み出される。RAM3には読み出し信号および書き込み信号が入力され、CPU1ではそれぞれの信号に応じて処理が行われる。

【0026】判断手段8は、CPU1からのアドレス線5から入力されるアドレス信号D1が指定するアドレスが、ROM2内に記憶されている特定命令を示すアドレスと一致するか判断して、一致した場合には、検出信号SSPを許可信号発生手段9とアドレス変換手段16とに与え、一致結果信号X16をアドレス変換手段16に与える。

【0027】アドレス変換手段16は、CPU1からはアドレス線5によってアドレス信号D1が与えられ、判断手段8からは検出信号SSPと一致結果信号X16とが与えられる。検出信号SSPが入力されると、一致結果信号X16に基づいて作成されたRAM2内の第3ア

ドレスを示すアドレス信号D3がRAM3に出力される。また検出信号SSPが入力されない場合は、入力されたアドレス信号D1がRAM3に出力される。

【0028】許可信号発生手段9は、アドレス線5を介してCPU1からアドレス信号D1を入力し、判断手段8から検出信号SSPを入力する。許可信号発生手段9は、入力された信号に基づいて、ROM2の命令の読み出しを許可するROMセレクト信号、またはRAM3の命令およびデータの読み出しを許可するRAMセレクト信号を、それぞれROM2またはRAM3に出力する。

【0029】たとえば、許可信号発生手段9は、入力されたアドレス信号D1が第1アドレスを示し、検出信号SSPが入力されない場合には、ROMセレクト信号をROM2に出力し、アドレス信号D1が第1アドレスを示し、検出信号SSPが入力された場合には、RAMセレクト信号をRAM3に出力し、アドレス信号D1が第2アドレスを示す場合には、RAMセレクト信号をRAM3に出力する。

【0030】CPU1がアドレス信号D1をアドレス線5に出力し、読み出し信号をリード/ライト線7に出力すると、読み出し信号は、ROM2およびRAM3に与えられる。アドレス信号D1は、判断手段8に与えられ、判断手段8によって、アドレス信号D1の示すアドレスとROM2内の複数の特定命令のアドレスとが比較され、一致するかどうかが判断される。

【0031】判断手段8が一致すると判断した場合には、判断手段8は、許可信号発生手段9とアドレス変換手段16とに、検出信号SSPを出力し、アドレス変換手段16に一致結果信号X16を出力する。アドレス変換手段16は、一致結果信号X16に基づいて、第3アドレスを示すアドレス信号D3を作成して、RAMアドレス線15によって、アドレス信号D3をRAM3に出力する。このとき許可信号発生手段9はRAMセレクト信号をRAM3に出力する。したがって、RAM3の読み出しが許可されて、CPU1はROM2に記憶されている命令に差し換えて、RAM3に記憶されている命令を実行する。

【0032】次に判断手段8が一致しないと判断した場合には、アドレス信号D1の示すアドレスが第1アドレスであるときには、判断手段8は、許可信号発生手段9とアドレス変換手段16とに、検出信号SSPを出力しない。アドレス変換手段16は、RAMアドレス線15によって、入力したアドレス信号D1をRAM3に出力する。許可信号発生手段9はROMセレクト信号をROM2に出力する。したがって、ROM2の読み出しが許可されて、CPU1はROM2に記憶されている命令を実行する。

【0033】また判断手段8が一致しないと判断した場合には、アドレス信号D1の示すアドレスが第2アドレスであるときには、判断手段8は、許可信号発生手段9と

アドレス変換手段16とに、検出信号SSPを出力しない。アドレス変換手段16は、RAMアドレス線15によって、入力したアドレス信号D1をRAM3に出力する。許可信号発生手段9はRAMセレクト信号をRAM3に出力する。したがって、RAM3の読み出しが許可されて、CPU1はRAM3に記憶されているデータを読み出して処理を行う。またリード/ライト線7に出力された信号が書き込み信号の場合は、CPU1は、RAM3にデータを書き込む処理を行う。

【0034】判断手段8は、ROM2内に記憶される複数の特定命令のアドレスを記憶するレジスタR1～Rn、各レジスタR1～Rnに記憶されたアドレスと、CPU1からアドレス線5によって入力されたアドレス信号の示すアドレスとを比較する比較器S1～Sn、および各比較器S1～Snにおける各比較結果を入力して検出信号SSPを出力するOR回路21を含んで構成される。

【0035】各レジスタR1～Rnは、ROM2内に記憶される複数の特定命令の各アドレスをそれぞれ記憶する。つまり、1つのレジスタには、1つの特定命令を示すアドレスが記憶される。たとえば、1つの特定命令を示すアドレスが“0110”である場合に、レジスタR1には、“0110”が記憶される。

【0036】各比較器S1～Snは、それぞれ2の入力端子と1の出力端子とを備え、一方の各入力端子S1a～Sn aには、各レジスタR1～Rnがそれぞれ接続される。また各比較器S1～Snの他方の各入力端子S1b～Sn bには、CPU1からのアドレス線5がそれぞれ接続される。各比較器S1～Snの出力のすべてがOR回路21に入力され、OR回路21が論理演算を行い、その演算結果を検出信号SSPとしてアドレス変換手段16と許可信号発生手段9とに出力する。さらに各比較器S1～Snの各出力である一致結果信号X16は、アドレス変換手段16に与えられる。

【0037】判断手段8において、アドレス線5によってCPU1からアドレス信号D1が入力されると、各比較器S1～Snは、アドレス信号D1の示すアドレスと、順次各レジスタR1～Rnに記憶されている各アドレスとの比較を行い、一致するかどうかを検出する。各比較器S1～Snは、一致を検出すると、OR回路21にたとえばハイレベルの一致信号を出力し、さらに比較器S1～Snの各出力信号は一致結果信号X16としてアドレス変換手段16に与えられる。OR回路21は、比較器S1～Snのいずれか1つからハイレベルの一致信号が与えられると、ハイレベルの検出信号SSPをアドレス変換手段16と許可信号発生手段9とに出力する。

【0038】たとえば、レジスタR8に記憶されているアドレスとCPU1から入力されたアドレス信号D1の示すアドレスとにおいて、比較器S8が一致を検出した

場合に、ハイレベルの一致信号をOR回路21に出力し、一致信号を含んだ一致結果信号X16をアドレス変換手段16に出力する。OR回路21は、ハイレベルの検出信号SSPをアドレス変換手段16と許可信号発生手段9とに出力する。

【0039】許可信号発生手段9は、デコーダ23と、AND回路24と、OR回路25と、ディレイユニット22とを含んで構成される。

【0040】デコーダ23は、アドレス線5が接続され、CPU1からのアドレス信号D1が入力される。デコーダ23は、アドレス信号D1の示すアドレスが第1アドレスである場合は、ハイレベルの選択信号CxをAND回路24の一方入力端子に出力し、一方、第2アドレスである場合には、ハイレベルの選択信号CyをOR回路25の一方入力端子に出力する。

【0041】AND回路24は2入力の論理積回路であり、一方入力端子にはデコーダ23からの選択信号Cxが入力され、他方入力端子には検出信号SSPが反転入力される。AND回路24は、入力した信号に対する論理積演算を行って、演算結果をROMセレクト信号としてROM2に出力する。

【0042】OR回路23は、2入力の論理和回路であり、一方入力端子にはデコーダ23からの選択信号Cyが入力され、他方入力端子には、ディレイユニット22を間に介して検出信号SSPが入力される。OR回路23は、論理和演算を行って、演算結果をRAMセレクト信号としてRAM3に出力する。

【0043】図2は、ディレイユニット22の構成例を示す回路図である。ディレイユニット22は、予め定められる期間だけ入力信号を遅延させる遅延素子30とD型フリップフロップ31とを含んで構成される。

【0044】ディレイユニット22には、検出信号SSPが入力される。入力された検出信号SSPは、遅延素子30を介してD型フリップフロップ31のクロック端子CKに入力される。また検出信号SSPの反転信号は、D型フリップフロップ31の反転リセット端子に入力され、D型フリップフロップ31の入力端子Dには一定の直流電圧Vccが印加されている。

【0045】ディレイユニット22に“L”から“H”に立ち上がった検出信号SSPが入力されると、反転リセット端子には、反転した検出信号SSPが入力され、クロック端子CKには、遅延素子30で予め定められる時間分遅延されたハイレベルの検出信号が入力される。したがって、検出信号SSPが入力されてから、遅延素子30に定められた遅延時間と、D型フリップフロップ31においてクロック端子CKのレベルが変化してから出力端子Qのレベルが変化するまでに要する時間との和の時間だけ遅延して、出力信号のレベルが変化する。逆にディレイユニット22に“H”から“L”に立ち下がった検出信号SSPが入力されると、D型フリップフロ

10

20

30

40

50

ップ31において反転リセット端子のレベルが変化してから出力端子Qのレベルが変化するまでに要する時間だけ遅延して、出力信号が立ち下がる。

【0046】アドレス変換手段16は、RAM2内に記憶される特定命令に代えて実行させるべき命令を示す第3アドレスを指定するアドレス信号D3を生成するエンコーダユニット10と、判断手段8から出力された検出信号SSPに基づいて、CPU1から出力されたアドレス信号D1とエンコーダユニット10が生成したアドレス信号D3とのどちらか一方をRAM3に出力するセレクタ11とを含んで構成される。

【0047】図3は、エンコーダユニット10の具体的構成例を示すブロック図であり、図4はRAM3内の第3アドレスに指定された記憶領域を示した図である。エンコーダユニット10は、図3に示されるように、16本ずつの入力信号線および出力信号線を有し、判断手段8から16ビットの一致結果信号X16を入力する。なお、ここでは判断手段8のレジスタR1～Rnに記憶される特定命令の数は、16個以下であるとし、nの数値は“16”以下であるとする。エンコーダユニット10は、第3アドレスを指定するアドレス信号D3のうちの4ビットを一致結果信号X16に基づいて算出するエンコーダ35と、アドレス信号D3のうちの10ビットをRAM3の第3アドレスに対応して記憶するメモリ36とを含んで構成される。なお、エンコーダユニット10は、16の出力端子A0～A15を備える。出力端子A0は、LSB(最下位ビット)を示し、出力端子A15は、MSB(最上位ビット)を示す。またここでは、エンコーダユニット10の出力端子A0, A1は、エンコーダユニット10の内部でグランド電位に接続され、常時ローレベルの信号を出力する。

【0048】エンコーダ35は、判断手段8からの一致結果信号X16が入力され、エンコーダユニット10の出力端子A2～A5から出力される4ビットの信号を作成する。たとえば、判断手段8の比較器S5がアドレス信号D1の示す第1アドレスとレジスタR5の記憶された第1アドレスとの一致を検出した場合には、エンコーダ35には、5番目の入力信号線のみがハイレベルの一致結果信号X16が与えられ、4ビットの“0101”的信号が生成され、出力端子A2～A5から出力される。

【0049】メモリ36には、エンコーダユニット10の出力端子A6～A15から出力される10ビットのアドレスが記憶され、アドレス信号D3の上位10ビットとして各出力端子A6～A15から出力される。エンコーダ35によって生成されたアドレス信号D3の4ビットと、メモリ36に予め記憶されているアドレス信号D3の10ビットと、出力端子A0, A1を強制的にローレベルにすることによって作成されるアドレス信号D3の2ビットとによって、エンコーダユニット10の出力

端子A0～A15から16ビットのアドレス信号D3が
出力される。

【0050】このように、アドレス信号D3は、判断手
段8のレジスタR1～R16に記憶される特定命令のア
ドレスとCPU1からのアドレス信号D1の示すアドレス
との一致を検出した各比較器S1～S16に応じて決
定される。たとえば出力されたアドレス信号D3にお
いて、メモリ36からのアドレス信号D3の上位10ビット
の出力がTBLADRである場合には、TBLAD
R, TBLADR+4, …, TBLADR+4×15と
なり、RAM3内の第3アドレスに示される記憶領域
は、図4に示されるような構成となる。

【0051】たとえば、比較器S1が一致を検出した場
合には、エンコーダ35によって、アドレス信号D3の
下位6ビットは“000000”となり、アドレス信号
D3の示すアドレスはTBLADRとなり、CPU1は
ROM2内の特定命令と差し換えて、RAM3内の記憶
領域m1の命令である絶対ジャンプ命令を実行し、その
ジャンプ先の処理が行われる。また比較器S2が一致を
検出した場合には、エンコーダ35によって、アドレス
信号D3の下位6ビットは“000100”となり、ア
ドレス信号D3の示すアドレスはTBLADR+4とな
り、CPU1はROM2内の特定命令と差し換えて、R
AM3内の記憶領域m2の命令である絶対ジャンプ命令
を実行し、そのジャンプ先の処理が行われる。以下同様
に比較器S3～S15がそれぞれ一致を検出した場合には、
エンコーダ35によって、アドレス信号D3の下位
6ビットが決定され、アドレス信号D3の示すアドレス
はTBLADR+4×2, TBLADR+4×3, …,
TBLADR+4×15となり、CPU1はROM2内
の特定命令と差し換えて、RAM3内の各記憶領域m3
～m16の命令である絶対ジャンプ命令を実行し、その
ジャンプ先の処理が行われる。

【0052】図5は、RAM3から命令を読出す際の動
作を説明するためのタイムチャートである。CPU1か
らアドレス線5にアドレス信号D1が⁴⁰出力されると、図
5に示すようにアドレス線のレベルが変化する。判断手
段8において、CPU1から出力されたアドレス信号D
1と各レジスタR1～Rnに記憶された各特定命令のア
ドレスとが一致した場合、期間Aだけ遅延して検出信号
SSPが立ち上がる。期間Aは、判断手段8の各比較器
S1～S_nとOR回路21とによる遅延時間を示す。

【0053】RAMアドレス線15のレベルは、アドレ
ス線5のレベルの変化に同期して変化する。セレクタ1
1は、検出信号SSPが入力されると（立上がる）、
エンコーダユニット10が生成したアドレス信号がRA
M3に出力されるように切換わる。したがって、RAM
アドレス線15は、検出信号SSPの立ち上がり時刻か
ら期間Bだけ遅延して、さらにRAMアドレス線15が
変化する。期間Bは、セレクタ11の出力の変更にかか
50

る遅延時間である。

【0054】許可信号発生手段9のディレイユニット2
2は、“L”から“H”に立ち上がった検出信号SSP
が入力されると、RAMセレクト信号をRAM3に出力
する。そのため、RAMセレクト信号は検出信号SSP
が立ち上がってから期間B+Cだけ遅延して立ち上
がる。期間B+Cは、遅延素子30に定められた遅延時間
と、D型フリップフロップ31のクロック端子CKのレ
ベルが変化してから出力端子Qのレベルが変化するま
でに要する遅延時間とを加算した遅延時間を示す。これに
よって、CPU1にはRAM3からの命令が与えられ、
ROM2にはROMセレクト信号が入力されないため、
ROM2からの命令の読み出しは行われない。

【0055】期間B+Cの遅延時間は、アドレス信号D
3がRAM3に入力されるために要するセットアップ時
間を確保するために設けられる。これは、RAM3にア
ドレス信号D3より先にRAMセレクト信号の入力（立
上げ）が行われると、本来入力されるアドレス信号D
3とは異なるアドレス信号によってアドレスが指定さ
れ、そのために本来実行させるべき命令とは異なる命令
がCPU1に入力され、これによってCPU1の誤動作
が生じるためである。

【0056】CPU1は、ROM2に記憶されている特
定命令に差し換えてRAM3内の第3アドレスに示され
る命令を実行した後に、次のアドレス信号D1をアドレ
ス線5に出力すると、図5に示されるようにアドレス線
5のレベルは変化する。

【0057】出力されたアドレス信号D1が判断手段8
の各比較器S1～S_nに入力され、一致が検出され
ない場合には、そのアドレス線5のレベル変化から時間D
だけ遅れて検出信号SSPが立ち下がる。期間Dは、判
断手段8の各比較器S1～S_nとOR回路21による
遅延時間を示す。

【0058】検出信号SSPが立ち下がると、アドレス
変換手段16のセレクタ11は、CPU1が出力したア
ドレス信号D1を、RAM3に出力するように切換わ
る。したがって、RAMアドレス線15は、検出信号S
SPの立ち下がり時刻から期間Eだけ遅延して、レ
ベルが変化する。期間Eは、セレクタ11の出力の変更にか
かる遅延時間である。

【0059】許可信号発生手段9のディレイユニット2
2は、検出信号SSPが“H”から“L”に立ち下がる
と、RAMセレクト信号を“H”から“L”に立ち下
げる。そのため、RAMセレクト信号は検出信号SSPが
立ち下がってから期間Fだけ遅延して立ち下がる。期間
Fは、D型フリップフロップ31の反転リセット端子の
レベルが変化してから出力端子Qのレベルが変化するま
でに要する遅延時間を示す。期間Fは、RAMセレクト
信号が立ち上がる場合の期間Cより短く設定され、RA
Mアドレス線15の立ち下がりとほぼ同時にRAMセレ

クト信号も立ち下がる。これによって、不要なRAMセレクト信号の出力によって生ずるCPU1の誤動作が防止される。

【0060】図6は、発明の実施の他の形態を説明するための図であり、図6(1)は、前述の実施の形態におけるレジスタ構成を示す図であり、図6(2)は、本実施の形態におけるレジスタ構成を示す図である。図6

(1)に示される構成Aでは、1つの特定命令を指定するアドレスは、1つのレジスタに記憶される。したがって、レジスタに記憶すべきアドレス数が増加すると、それに伴ってレジスタの数が増加し、さらにレジスタ数の増加に比例してレジスタを構成するゲート数も増加する。またレジスタR1～Rnが設けられるASIC内で用いられるゲート数は制限されているため、記憶すべきアドレスが増加してもレジスタの増加を制限数を超えない程度に抑える必要がある。

【0061】そこで本実施の形態では、図6(2)に示されるように、1つの上位ビットを記憶する上位ビットレジスタRA1と、その上位ビットを共通に持つ複数の下位ビットを記憶する下位ビットレジスタR1a～Rnaから構成されるグループBと、別の1つの上位ビットを記憶する上位ビットレジスタRA2と、その別の上位ビットを共通に持つ複数の下位ビットを記憶する下位ビットレジスタR1b～Rnbから構成されるグループCとでレジスタを構成する。つまり、上位ビットの共通な複数の下位ビットを1グループとして、複数のグループ単位でアドレスを記憶する。これによって、図6(1)のレジスタ構成より、(上位ビット数) × (記憶するアドレスの数-グループ数) 分のビットレジスタ数を減少させることができ、それに伴ってゲート数を減少させることができる。たとえば、構成Aのレジスタの総本数を32本とし、上位ビットを4ビットとして、グループB、Cの2つのグループに分割すると、 $4 \times (32 - 2) = 120$ より、120ビット分のレジスタ数Gを減少させることができる。

【0062】図7は、本実施の形態における判断手段40の具体的構成例を示す図である。判断手段40は、上述したように、アドレスのグループ単位で回路が構成される。1つのグループは、ROM2内に記憶された特定命令のアドレスの各上位ビットを記憶する上位ビットレジスタRA1と、上位ビットレジスタRA1に記憶された上位ビットを共通に持つアドレスの各下位ビットを記憶する下位ビットレジスタR1a～Rnaと、上位ビットレジスタRA1に記憶されたアドレスの上位ビットとCPU1から入力されたアドレス信号D1の示すアドレスの上位ビットとの比較を行う上位ビット比較器SA1と、各下位ビットレジスタR1a～Rnaに記憶されたアドレスの下位ビットとCPU1から入力されたアドレス信号D1のアドレスの下位ビットとの比較を行う下位ビット比較器Sa1～Sanと、上位ビット比較器SA

10

20

30

40

50

1の比較結果と各下位ビット比較器Sa1～Sanの各比較結果とを入力して、論理積演算を行うAND回路A1a～Anaと、各AND回路A1a～Anaの演算結果を入力して論理和演算を行い、グループの比較結果を出力する第1OR回路OA1とを含んで構成される。ここでは、1グループのみについて説明を行ったが、他のグループも同様の構成である。さらに判断手段40は、各第1OR回路OA1～OAxからの比較結果を入力して、検出信号SSPを出力する第2OR回路41を含んで構成される。

【0063】判断手段40において、アドレス線5によってCPU1からアドレス信号D1が入力されると、上位ビット比較器SA1はアドレス信号D1の示すアドレスの上位ビットと、上位ビットレジスタRA1に記憶されているアドレスの上位ビットとを比較し、さらに各下位ビット比較器Sa1～Sanはアドレス信号D1の示すアドレスの下位ビットと、各下位ビットレジスタR1a～Rnaに記憶されている各下位ビットとをそれぞれ比較する。上位ビット比較器SA1と各下位ビット比較器Sa1～Sanとの両方が一致した場合に、両方の比較器ともハイレベル信号を出力する。その2つのハイレベルの信号を入力したAND回路A1a～Anaの中の1つのAND回路は、ハイレベルの一致信号を第1OR回路OA1に出力する。ハイレベルの一致信号が入力された第1OR回路OA1は、第2OR回路41にハイレベルの一致信号を出力し、第2OR回路41はハイレベルの検出信号SSPを出力する。

【0064】たとえば、上位ビットレジスタRA1に記憶されている上位ビットと、入力されたアドレス信号D1の上位ビットとにおいて、上位ビット比較器SA1が一致を検出し、下位ビットレジスタR5aに記憶されている下位ビットと、入力されたアドレス信号D1の下位ビットとにおいて、下位ビット比較器S5aが一致を検出した場合に、上位ビット比較器SA1と下位ビット比較器S5aとがハイレベルの信号を出力し、両方の入力にハイレベルの信号が入力されたAND回路A5aはハイレベルの一致信号を第1OR回路OA1に出力する。第1OR回路OA1はハイレベルの一致信号の入力によって、第2OR回路41にハイレベルの一致信号を出力する。第2OR回路41は、ハイレベルの検出信号SSPをアドレス変換手段16と許可信号発生手段9に出力する。

【0065】図8は、本実施の形態における他のレジスタ構成例を示す図であり、図8(1)は前述の実施の形態におけるレジスタ構成AAを示し、図8(2)はレジスタ構成AAと総ビット数が同じであるレジスタ構成Dを示す図である。ここでは、24ビットのアドレス線を有する場合を想定する。24ビットのアドレス線を有するプログラム実行装置は、16Mバイトのアドレス空間を有する。レジスタ構成AAは、1つのレジスタで24

ビットのアドレスが記憶でき、32本のレジスタR1～R32によって構成され、レジスタ構成AAの総ビット数は、 $24 \times 32 = 768$ ビットとなる。同じ総ビット数で、1つの上位ビットレジスタと複数の下位ビットレジスタとからなるグループを2つ作成すると、図8

(2)に示されるように、レジスタ構成Dは、4ビットの上位ビットレジスタRA1と19本の20ビットレジスタである下位ビットレジスタR1a～R19aとで構成されるグループBB、および上位ビットレジスタRA2と下位ビットレジスタR1b～R19bとで構成されるグループCCで構成される。このため、レジスタ構成Dでは、38個のアドレスを記憶することができ、レジスタ構成AAの場合の32個よりも6個多いアドレスを記憶することができる。したがって、レジスタ構成の総ビット数が同一であれば、1対1対応でアドレスを記憶するレジスタ構成AAより、記憶できるアドレスの数を増やすことができる。

【0066】なお、記憶される特定命令のアドレスの上位ビットを共有した場合に、特定命令を示す複数のアドレスが近隣に集中したときに、下位ビットレジスタ数が足りなくなる可能性が考えられるが、全体のアドレス空間において、ROM2の第1アドレスの占める空間は、全体のアドレス空間の一部となるため、上位ビットレジスタのビット数を調整して上位ビットをROM2の第1アドレス空間に対応させることによって、回避することができる。たとえば、ROM2の記憶領域が1Mバイトの場合には、上位4ビットを上位ビットレジスタRA1に記憶させ、下位20ビットを下位ビットレジスタR1a～Rnaに記憶させることができ、ROM2の記憶領域が2Mバイトの場合には、一方の上位4ビットを上位ビットレジスタRA1に記憶させ、その上位ビットに対応した下位20ビットを下位ビットレジスタR1a～Rnaに記憶させ、他方の上位4ビットを上位ビットレジスタRA2に記憶させ、その上位ビットに対応した下位20ビットを下位ビットレジスタR1b～Rnbに記憶させることにより、上記不都合を回避することができる。

【0067】図9は、本発明の実施のさらに他の形態におけるエンコーダユニット10の電気的構成を示すブロック図である。図1と同様の構成には、同一の参照符を付与して説明を省略する。エンコーダユニット10は、レジスタ化されたメモリ36を備える。エンコーダユニット10を備えるアドレス変換手段16は、メモリ36専用のデコーダ45を備える。CPU1からデコーダ45にアドレス線46が接続され、デコーダ45にアドレス信号が入力されると、セレクト線48によって、メモリ36にセレクト信号が送出される。メモリ36にはデータ線47と、リード/ライト線49が接続される。これによって、CPU1からの読出し/書き込み信号と、デコーダ45からのセレクト信号によって、メモリ36内

に記憶される第3アドレスの上位ビットが自由に読み書きできる。

【0068】

【発明の効果】以上のように本発明によれば、判断手段によって、命令実行手段からのアドレス信号の指定するアドレスが、特定命令が記憶されたアドレスと一致していると判断されたときに、アドレス変換手段から第2記憶手段のアドレスを示すアドレス信号が第1および第2記憶手段に与えられ、また許可信号発生手段からは、第2記憶手段に許可信号が与えられることによって、本来第1記憶手段から出力されるべき特定命令に代えて、第2記憶手段から命令が出力されて命令実行手段で実行される。したがって、第1および第2従来技術のように、たとえばCPUで実現される命令実行手段が持つ割り込み処理を利用して、実行すべきプログラムを構成する命令の内のいずれかの命令を差し換える場合より、命令実行手段におけるプログラム実行処理以外の処理であるオーバーヘッドが軽減できる。さらに第1従来技術のように、たとえばCPUで実現される命令実行手段の割り込み処理を用いないため、別の割り込み処理を滞らせるこ^トとを防ぐことができる。

【0069】また本発明によれば、第2記憶手段は、読み出し/書き込み自在であり、第1記憶手段の第1アドレスとは異なる複数の第2アドレスがそれぞれ設定されたデータ記憶領域を有する。また第2記憶手段は、第2アドレス内に存在する1以上の第3アドレスに示されるデータ記憶領域に、第1記憶手段に記憶されている命令の内の特定命令に代えて実行させるべき命令が記憶されている。したがって、命令実行手段がプログラム実行中に必要に応じていわゆるワークエリアとして使用するRAMなどを用いて第2記憶手段を実現することができるので、特定命令に代えて実行させるべき命令を記憶させるための専用の記憶手段を用意する必要がなく、比較的簡単な構成で既存の手段を利用して本発明を実現することができる。

【0070】また本発明によれば、アドレス記憶手段は、アドレス信号の予め定める数の上位ビットを記憶する1の上位ビットレジスタと、アドレス信号における上位ビットが共通の残余の下位ビットを記憶する複数の下位ビットレジスタとを1グループとして、複数のグループを備える。第1記憶手段に記憶されている命令の内の特定命令を指定するアドレスの予め定める数の上位ビットを上位ビットレジスタに記憶し、そのアドレスの上位ビットが共通の複数の下位ビットをそれぞれ下位ビットレジスタに記憶する。したがって、従来の記憶手段における1つのレジスタに対して1つのアドレスを記憶する場合より、レジスタ数を減少させることができ、また同一のレジスタ数であれば、従来より多くのアドレスを記憶することができる。

【0071】また本発明によれば、アドレス信号発生手

段における上位アドレスメモリに記憶されたアドレスの上位ビットを、第2記憶手段の第3アドレスの値の変更に対応して変更することができる。したがって、第3アドレスに拘束されずに第2記憶手段の記憶領域を自由に利用できるため、本装置のシステムデザインのときに第2記憶手段において利用できる記憶領域の選択の自由度が広がるため、本装置の汎用性が高まる。

【図面の簡単な説明】

【図1】本発明の実施の一形態であるプログラム実行装置の電気的構成を示すブロック図である。

【図2】ディレイユニット22の電気的構成を示すブロック図である。

【図3】エンコーダユニット10の具体的構成を示すブロック図である。

【図4】RAM3内の第3アドレスに指定された記憶領域を示す図である。

【図5】RAM3から命令を読出す際の動作を説明するためのタイムチャートである。

【図6】本発明の実施の他の形態を説明するための図であり、図6(1)は、図1に示すレジスタ構成を示す図であり、図6(2)は、本発明の実施の他の形態におけるレジスタ構成を示す図である。

【図7】本発明の実施の他の形態における判断手段40の具体的構成を示すブロック図である。

【図8】本発明の実施の他の形態における他のレジスタ構成例を示す図であり、図8(1)は図1に示すレジス

タ構成AAを示し、図8(2)はレジスタ構成AAと総ビット数が同じであるレジスタ構成Dを示す図である。

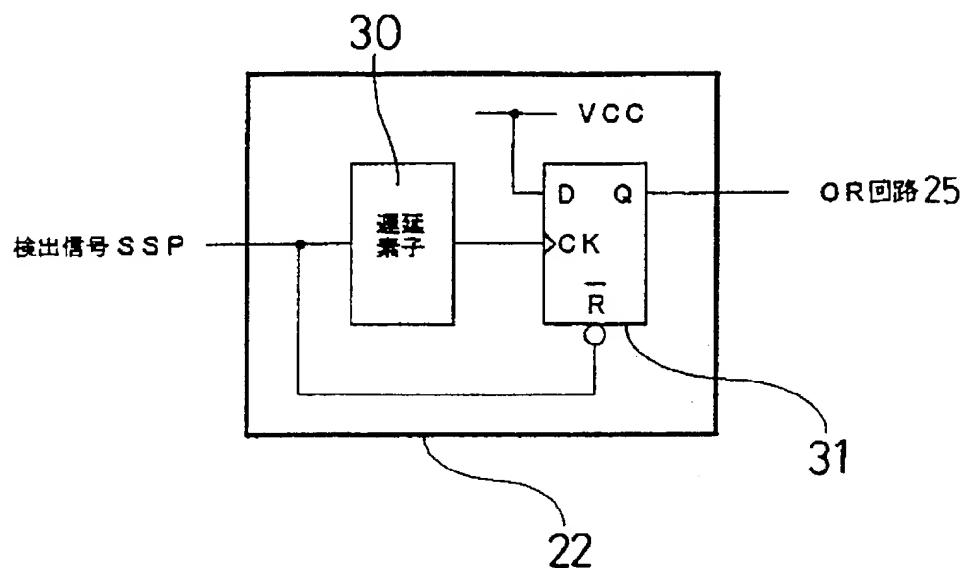
【図9】本発明の実施のさらに他の形態におけるエンコーダユニット10の電気的構成を示すブロック図である。

【図10】第1従来技術の具体的構成を示すブロック図である。

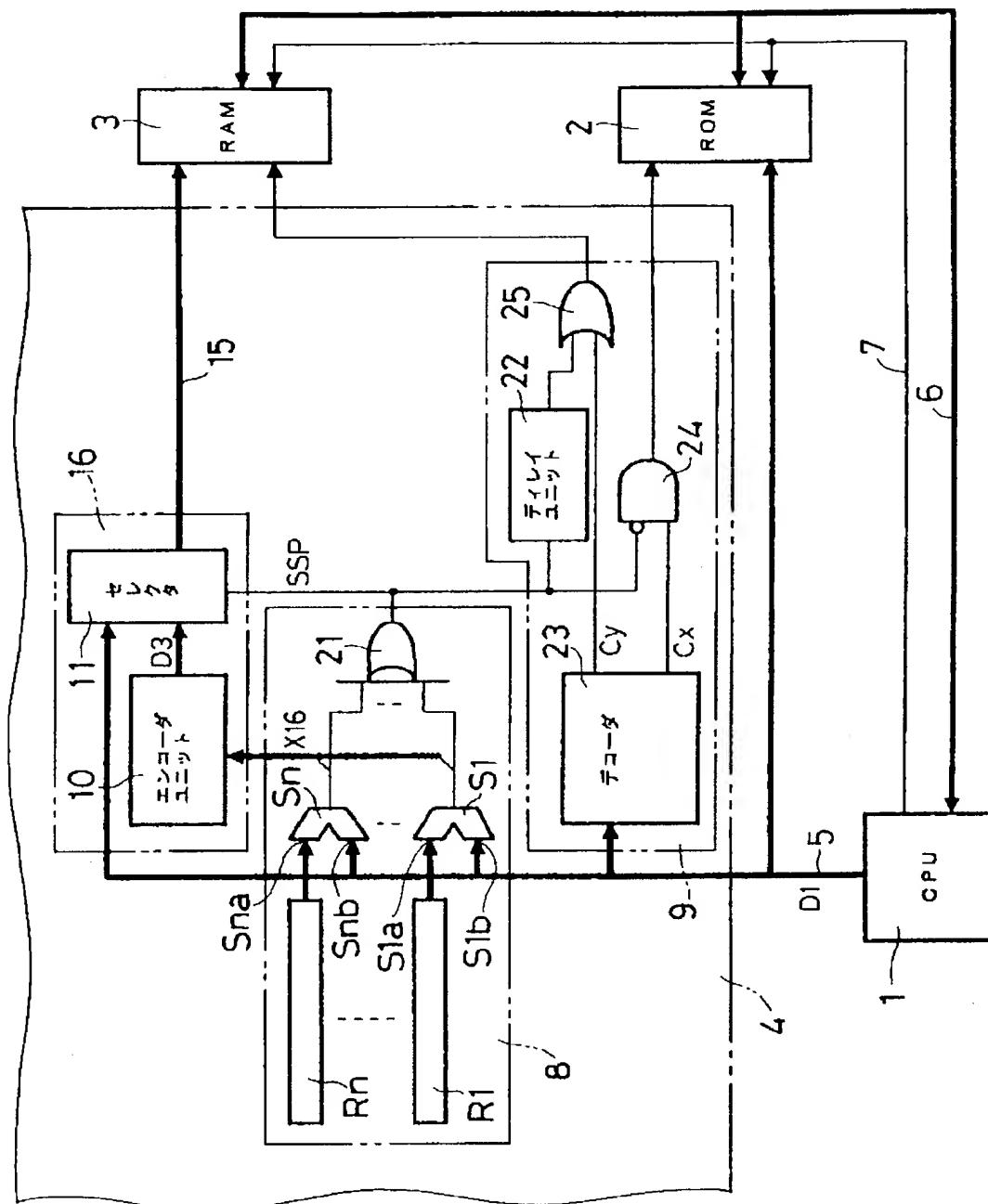
【符号の説明】

1	C P U
10	R O M
3	R A M
5	アドレス線
6	データ線
7	リード/ライト線
8	判断手段
9	許可信号発生手段
10	エンコーダユニット
11	セレクタ
21, 25	OR回路
22	ディレイユニット
23	デコーダ
24	AND回路
D 1, D 3	アドレス信号
R 1 ~ R n	レジスタ
S 1 ~ S n	比較器

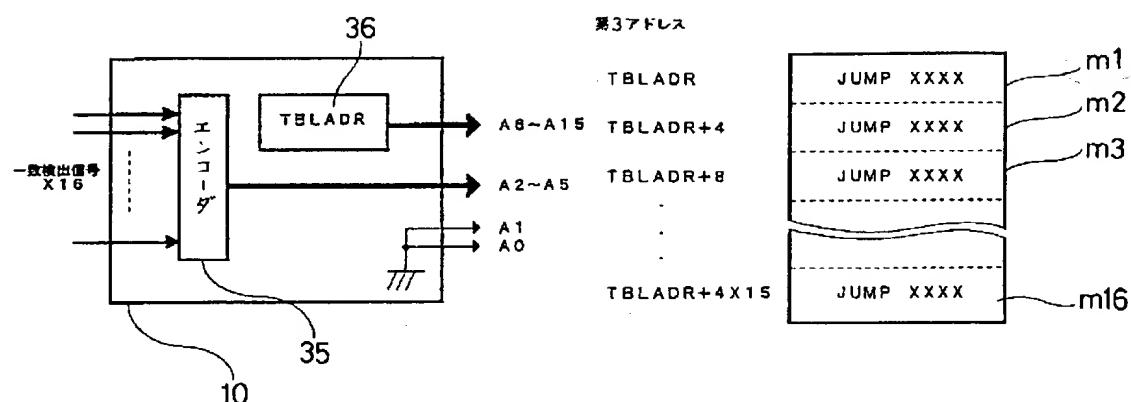
【図2】



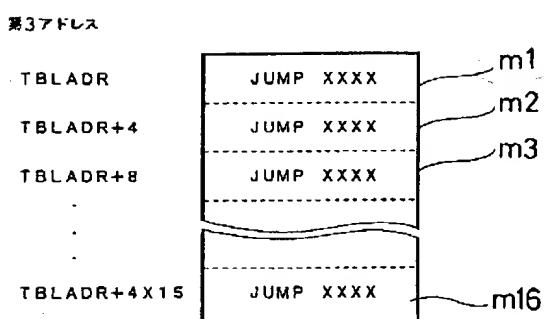
[図1]



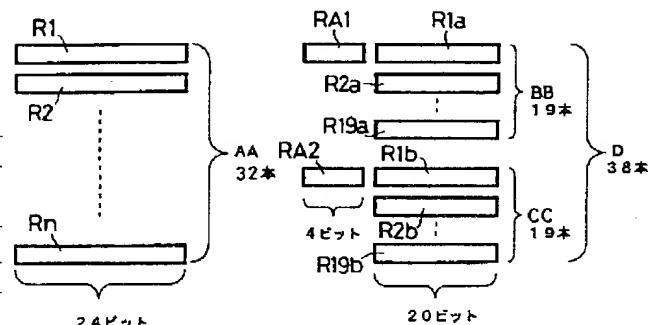
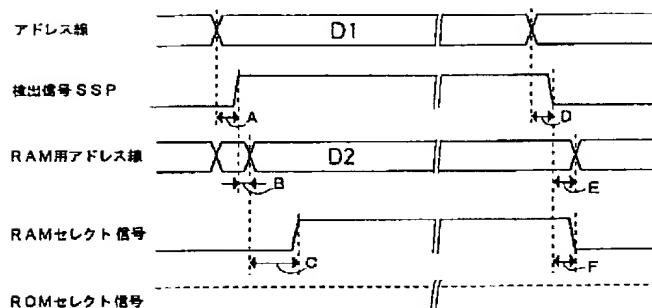
【図3】



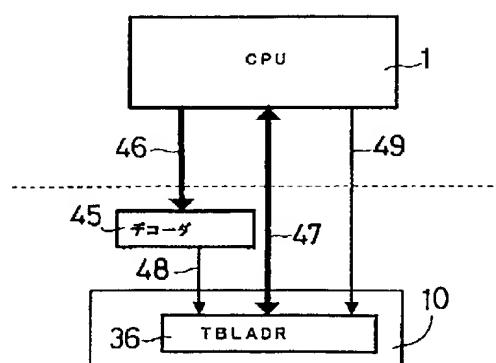
【図4】



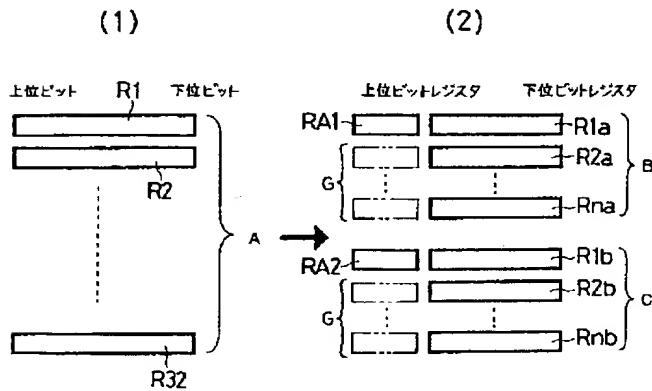
【図5】



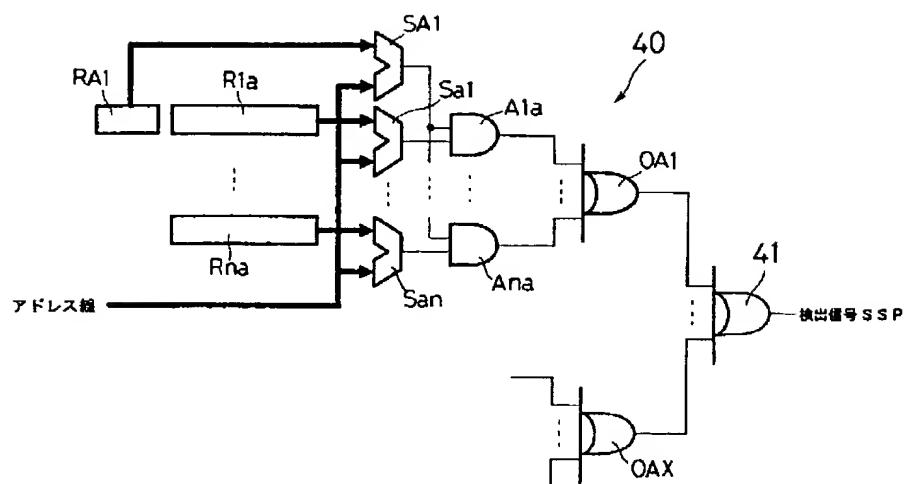
【図9】



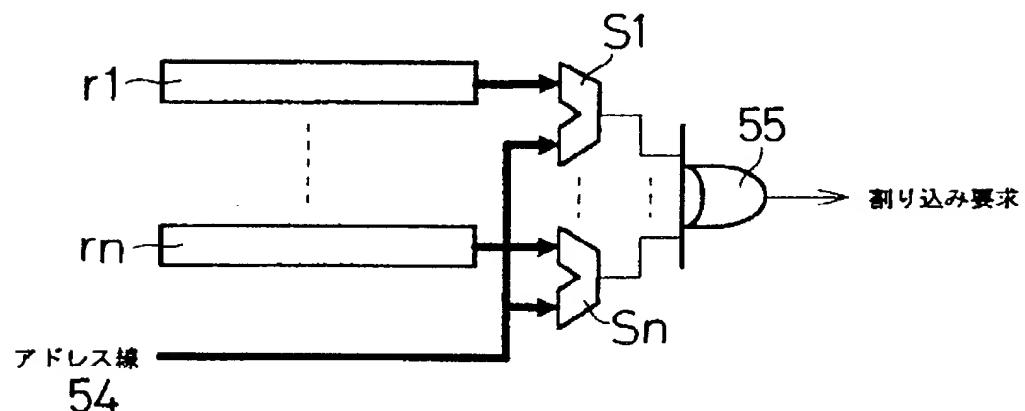
【図6】



【図7】



【図10】



54